

PAT-NO: JP02002329850A

DOCUMENT-IDENTIFIER: JP 2002329850 A

TITLE: CHIP SIZE PACKAGE AND ITS MANUFACTURING METHOD

PUBN-DATE: November 15, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
HATA, FUMIO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC	N/A

APPL-NO: JP2001134431

APPL-DATE: May 1, 2001

INT-CL (IPC): H01L027/14, H01L023/12, H01L031/02

ABSTRACT:

PROBLEM TO BE SOLVED: To achieve a chip size package for making plane dimensions nearly identical to those of a chip even in a solid-state image pickup element having a group of micro lenses.

SOLUTION: The chip size package comprises an IC chip having a solid-state image pickup element and a plurality of electrodes that are electrically connected to the element directly or via other circuits on a first surface, and a light transmission substrate that is composed by members such as glass, crystal, lithium niobate, and a synthetic resin, or their combination. The electrode of the IC chip reaches an electrode pattern on the second or third surface of chips via the conductive pattern on the first surface of the light transmission substrate.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-329850

(P2002-329850A)

(43) 公開日 平成14年11月15日 (2002.11.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターム* (参考)
H 0 1 L 27/14		H 0 1 L 23/12	5 0 1 C 4 M 1 1 8
23/12	5 0 1	27/14	D 5 F 0 8 8
31/02		31/02	B

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願2001-134431 (P2001-134431)

(22) 出願日 平成13年5月1日 (2001.5.1)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 畑 文夫

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム (参考) 4M118 AA10 AB01 BA10 BA14 FA06

FA08 GD03 HA02 HA09 HA11

HA24 HA31 HA32

5F088 BA15 BA16 BB03 EA04 FA09

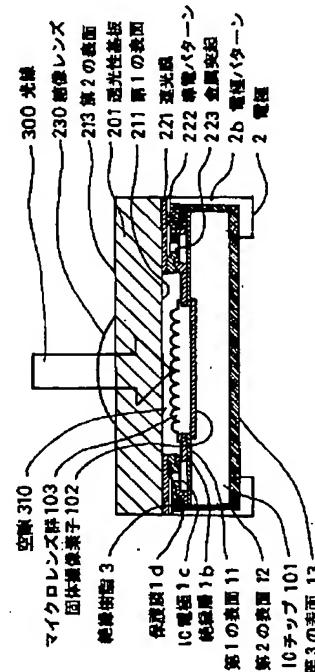
HA20 JA03 JA09 JA12 JA20

(54) 【発明の名称】 チップサイズパッケージおよびその製造方法

## (57) 【要約】

【課題】 マイクロレンズ群を有する固体撮像素子でも、平面寸法がほとんどチップと同一になるチップサイズパッケージを実現する。

【解決手段】 固体撮像素子、及びこの素子と直接又は他の回路を経由して電氣的に接続された複数の電極とを、第1の表面に有するICチップと、ガラス、水晶、ニオブ酸リチウム、合成樹脂などの部材、それらの組み合わせによって、構成される透光性基板とから構成されており、前記ICチップの電極は、前記透光性基板の、第1の表面の導電パターンを経由して、チップの第2の表面ないし第3の表面上の電極パターンに到達する構成にしている。



## 【特許請求の範囲】

【請求項1】 固体撮像素子、及びこの素子と直接又は他の回路を経由して電氣的に接続された複数の電極とを第1の表面に有するICチップと、ガラス、水晶、ニオブ酸リチウム、合成樹脂などの部材、及び／又はそれらの組み合わせによって構成される透光性基板とから構成されており、

前記ICチップの電極は、前記透光性基板の第1の表面に設けられた導電パターンを経由して、チップの第2の表面（端面）ないし第3の表面（裏面）上の電極パターンに到達する構成にしたことを特徴とするチップサイズパッケージ。

【請求項2】 前記IC電極と前記透光性基板の導電パターンとは、金属突起、導電粒子、異方性導電接着剤などで接続されていることを特徴とする、請求項1に記載のチップサイズパッケージ。

【請求項3】 前記チップの第2の表面（端面）ないし第3の表面（裏面）は、絶縁性の樹脂で被われていることを特徴とする、請求項2に記載のチップサイズパッケージ。

【請求項4】 前記固体撮像素子上には、マイクロレンズ群が形成されていることを特徴とする、請求項1～3の何れか1項に記載のチップサイズパッケージ。

【請求項5】 前記マイクロレンズ群と前記透光性基板との間には空隙が設けられていることを特徴とする、請求項4に記載のチップサイズパッケージ。

【請求項6】 前記空隙の、固体撮像素子を被わない周辺部に絶縁性の接着剤が充填されていることを特徴とする、請求項5に記載のチップサイズパッケージ。

【請求項7】 前記チップの第2の表面（端面）ないし第3の表面（裏面）上の電極パターンは、前記絶縁性の樹脂表面近傍に設けられていることを特徴とする、請求項3に記載のチップサイズパッケージ。

【請求項8】 前記透光性基板と固体撮像素子の間には、絶縁性の透明樹脂が充填されていることを特徴とする、請求項1～3、及び請求項7の何れか1項に記載のチップサイズパッケージ。

【請求項9】 前記透光性基板には結像レンズ、光学ローパスフィルター、赤外線カットフィルターなどの光機能素子が形成されていることを特徴とする請求項1～8の何れか1項に記載のチップサイズパッケージ。

【請求項10】 前記透光性基板と光機能素子の、光線が通過する表面の一部又は全部に反射防止膜が形成されていることを特徴とする、請求項1～9の何れか1項に記載のチップサイズパッケージ。

【請求項11】 前記透光性基板は、複数のICチップを形成したウエハと接続固定され、その後個々のICチップの大きさに切断されることを特徴とする、請求項1～9の何れか1項に記載のチップサイズパッケージの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、主として半導体集積回路、特にCCD、CMOSなどの固体撮像素子や受光素子、その他、光電変換素子を含む集積回路の超小型実装において使用するチップサイズパッケージおよびその製造方法に関する。

## 【0002】

【従来の技術】従来、半導体集積回路（以下、ICという）を機器に搭載するには、図14に示すように、機器の配線基板5との、チップの半田付けを行い易くするために、以下の実装方法が多く用いられてきた。即ち、半導体製造工程を完了したシリコンウエハを切断（ダイシング）して、小片（ICチップ：101）とした後、セラミックやプラスチックなどのケース200に収納し、半田付け用の端子（リード）202とICチップの電極1cとを、金属細線203で接続（ワイヤーボンディング）し、その後に、ケース200に対して、気密封止の蓋201を接着する。

【0003】通常、固体撮像素子、受光素子などのICも、多くは、上記の方法で実装しており、ここでは、外部からの光線300がチップ上の受光素子領域に到達するように、蓋201の材質に透明ガラスなどが用いられている。

## 【0004】

【発明が解決しようとする課題】近年、ICの設計・製造技術の進展によって、回路の高度集積化かつ低消費電力化が可能となり、高機能な情報機器が、よりコンパクトで、携帯可能になってきている。当然、上記のような従来の実装方法では、ICチップ以外のケース、蓋やリードの占める体積、実装コストなどの比率が相対的に大きくなり、これらを極限まで圧縮することが課題となってきた。

【0005】この課題を解決するため、さまざまな超小型実装方式が提案されている。例えば、特開平11-121653号公報に述べられているような、COG（チップ・オン・ガラス）方式などがある。ここでは、図15に示すように透光性基板に電極パターンを設け、これとIC電極を接続した上で空隙を封止する方法が述べられている。このような構造は、従来例に比べて、よりコンパクトにはなるものの、透光性基板上に外部接続のための電極を設ける必要があるため、平面寸法がチップより大きくなることが避けられない。

【0006】次に、図16に示す、特表平9-51197号公報（シェルケース：エル・ティー・ディー）の例について述べると、ここでのICチップ（ダイ）には、絶縁保護板と第2の絶縁外装膜が接着されており、チップの電極（パッド部）と接続する金属膜の接触端子が、絶縁保護板の端面から表面に延長されている。

【0007】なお、この公報には図示されていないが、

接触端子を第2の絶縁外装膜側に引き出すことも可能であり、このようにすれば、固体撮像素子の超小型実装、いわゆる、チップサイズパッケージ(CSP)が可能になる。

【0008】しかしながら、上記の例では、固体撮像素子を含むICチップと透明な絶縁保護板とは、エポキシ樹脂により接着されるため、固体撮像素子上に集光のためのマイクロレンズ群を形成してある場合には適用できない。すなわち、エポキシ樹脂がマイクロレンズ群の凹凸を充填して、そのレンズ効果を減殺してしまうからである。

【0009】本発明は、上記事情に基づいてなされたもので、マイクロレンズ群を有する固体撮像素子でも、平面寸法がほとんどチップと同一になるチップサイズパッケージを実現することを目的としている。

【0010】

【課題を解決するための手段】この目的を達成するため、本発明のチップサイズパッケージでは、固体撮像素子、及びこの素子と直接又は他の回路を経由して電氣的に接続された複数の電極とを第1の表面に有するICチップと、ガラス、水晶、ニオブ酸リチウム、合成樹脂などの部材、及び／又はそれらの組み合わせによって構成される透光性基板とから構成されており、前記ICチップの電極は、前記透光性基板の第1の表面に設けられた導電パターンを経由して、チップの第2の表面(端面)ないし第3の表面(裏面)上の電極パターンに到達する構成にしたことを特徴とする。

【0011】ここでは、透光性基板表面の、IC電極と相対する位置、及びその近傍に導電パターンを設け、かつ電極と導電パターンの間には導電性の突起ないし粒子を置いて両者を電氣的に接続させると同時に固体撮像素子(マイクロレンズ群)と透光性基板との間に空隙を確保する。

【0012】この場合、本発明の実施の形態として、空隙の周辺部、チップの端面、さらに望ましくはチップの裏面を絶縁性かつ不透湿性の樹脂で封止することで、透光性基板とチップとを強固に一体化し、固体撮像素子及びマイクロレンズ群を空気中の水分や腐食性ガスなどから保護する。また、チップ端面、さらに望ましくは、チップ裏面の封止樹脂に、透光性基板の導電パターンに接続する電極パターンを設けることで、チップサイズパッケージ(CSP)を構成するのがよい。

【0013】なお、透光性基板は、単に固体撮像素子などの保護にとどまらず、結像レンズ機能、光学ローパスフィルター機能、その他各種の光学機能を付与することで、きわめて小型、高機能の光学素子モジュールを構成することができる。

【0014】上記の構造は、ウエハからICチップを切断(ダイシング)した後に組立てることも可能であるが、数個以上のICチップ、より好ましくは、未切断の

ウエハごと組立てることで、チップサイズパッケージの生産性の向上が可能となる。

【0015】

【発明の実施の形態】(第1の実施の形態)図1によって、本発明の第1の実施形態について、具体的に説明する。なお、図1は断面図である。ここで、符号101はICチップであり、その第1の表面11側に固体撮像素子102、絶縁膜1b、保護膜1d、電極1cなどのICが形成されている。

10 【0016】また、固体撮像素子102の表面には、集光効率を高める目的でマイクロレンズ群103が形成されている。一方、透光性基板201の第1の表面211には、遮光層221と導電パターン222が形成され、第2の表面213には結像レンズ230が形成されている。

【0017】これら透光性基板や結像レンズの表面には必要に応じて反射防止膜を設けることもある。導電パターン222と電極1cの間には、金属突起223が設けられ、両者を電氣的に接続すると同時に、透光性基板の第1の表面211とマイクロレンズ群103との間に空隙310を形成する。

【0018】空隙310の厚さは金属突起223の寸法によりほぼ定まり、スタッドバンパやメッキバンパを用いると、一般には数十マイクロメートル程度である。図では、金属突起223は透光性基板側に設けたが、これとは逆にIC電極1cの上に設けても良い。

【0019】符号3は絶縁性かつ不透湿性の樹脂であり、空隙310の周囲を囲うように充填され、固体撮像素子102などICを空気中の水分や腐食性の雰囲気などから保護する。なお、空隙310に窒素等の不活性ガスを封入しておけば、より効果的にICを保護できる。

【0020】樹脂3は、固体撮像素子102の上を被わず、ICチップの第1の表面11から、切れ目無く第二の表面(端面)12、そして、第三の表面(裏面)13を被っている。前記導電パターン222と接続した電極パターン2bは、この樹脂表面に沿って、ICチップの端面から裏面にまで達しており、このチップサイズパッケージと回路基板(図示せず)との接続を可能にしている。

40 【0021】なお、回路基板との接続には半田付け、ソケットへの挿入、異方性導電接着剤による接着など、広く用いられている手段が適用可能である。

【0022】(第2の実施の形態)図2には、本発明の第2の実施形態が示されている。なお、導電パターン222と電極1cとの接続には、導電粒子224が用いられる。この粒子は金属の粒子や樹脂の粒子表面を金属メッキしたものなど、直径が数十マイクロメートルから数百マイクロメートル程度のものが使用でき、空隙310の寸法を第1の実施形態より広い範囲で設定可能である。

【0023】(第3の実施形態)図3には、本発明の第3の実施形態が示されている。なお、マイクロレンズ群が不要である固体撮像素子、例えば、一次元配列のラインセンサなどでも、本発明の適用が可能である。

【0024】その場合、透光性基板201と固体撮像素子102との間に透明樹脂3aを充填し、空隙を無くすことで、より信頼性と機械的強度を向上することができる。なお、透明樹脂3aは、熱併用紫外線硬化の特性をもつことが望ましい。また、透光性基板201がガラスなど絶縁性の材質であれば、第1の表面211に導電パター

ン222を直接設けても良い。

【0025】図4～図13には、第1の実施形態におけるチップサイズパッケージの製造工程を示す。ここでは、まず、固体撮像素子、電極、及びマイクロレンズ群などの形成を終わったウエハ1の、第1の表面11から切断砥石9などを用いて、切断ライン1eに沿って溝入れ加工を行う。

【0026】この溝によって、ウエハには、第2の表面すなわちチップ端面12が形成される。溝の幅は、概ね100マイクロメートルから200マイクロメートル程度が妥当である(図4および図5を参照)。

【0027】これとは別に、ガラスなどの透光性基板201の、第1の表面211に、樹脂印刷などにより、絶縁性かつ不透明の遮光膜221を形成する。この遮光膜はウエハ1の切断ライン1eと相対し、かつ、固体撮像素子102を被わぬ位置に設けられる。遮光膜221の上には導電パターン222が、さらに、その上に金属突起223が設けられる。

【0028】ここで、突起223はスタッドバンパボンディング、電解メッキなど、広く行われているプロセスにより形成し、その配置はICチップの電極1cと厳密に対応している。なお、透光性基板201の表面213に撮像レンズ230などの光機能素子を形成しておくこともできる(図6を参照)。

【0029】導電パターン222と金属突起223を被い、かつ遮光膜221からはみ出さぬように、絶縁性かつ不透湿の樹脂3を塗付する。これには、紫外線などの電磁波および熱により硬化する熱併用紫外線硬化接着剤が適する(図7を参照)。

【0030】ウエハ1と透光性基板201とを、電極1cと金属突起223とが重ね合うよう位置決めした後、圧着する。この時、透光性基板の213側から紫外線301などを照射しながら圧着することで、樹脂3は遮光膜221からはみ出した部分でただちに硬化し、固体撮像素子102を被うことが無い。未硬化の余剰樹脂は溝部に押し出されるため、電極1cと金属突起223の接触を妨げることも無い(図8および図9を参照)。紫外線照射後に加熱硬化すると、透光性基板201とウエハ1とは強固に接着され、かつマイクロレンズ103との間に空隙310が形成される。

【0031】ウエハ1の第3の表面13、すなわち裏面を研削、エッチングなどの手段で除去し、第2の表面12(溝部)を露出させる(図10を参照)。

【0032】前記工程(図7)で用いた樹脂3と同様の樹脂を、新たに削り落とされた第3の表面13及び第2の表面12を切れ目なく被うように、塗布し、硬化させる(図11を参照)。

【0033】樹脂3に孔4をあけ、導電パターン222を底部に露出させる。孔4の内径は100マイクロメートル程度、深さは数百マイクロメートルが望ましい。このような深孔加工にはレーザ孔あけが有利である(図12を参照)。

【0034】孔4の底部に露出した導電パターン222から、ウエハの裏面13を被う樹脂3まで達するように、無電解メッキなどの手段により金属の電極2を設ける(図13を参照)。

【0035】最後に電極2を結ぶ中心線上を、孔4の直径より小さい幅の切断砥石(図示せず)で切断する。これで、図1のCSP(チップサイズパッケージ)が完成するのである。

【0036】

【発明の効果】以上述べたように、本発明のCSP(チップサイズパッケージ)は、固体撮像素子、なかでも、マイクロレンズ群を有する固体撮像素子で、ウエハレベルCSPを実現でき、デバイスの超小型かつローコスト化を達成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す断面図である。

【図2】本発明の第2の実施形態を示す断面図である。

【図3】本発明の第3の実施形態を示す断面図である。

【図4】本発明の第1の実施形態における第1の製造工程を表す断面図である。

【図5】本発明の第1の実施形態における第2の製造工程を表す断面図である。

【図6】本発明の第1の実施形態における第3の製造工程を表す断面図である。

【図7】本発明の第1の実施形態における第4の製造工程を表す断面図である。

【図8】本発明の第1の実施形態における第5の製造工程を表す断面図である。

【図9】本発明の第1の実施形態における第6の製造工程を表す断面図である。

【図10】本発明の第1の実施形態における第7の製造工程を表す断面図である。

【図11】本発明の第1の実施形態における第8の製造工程を表す断面図である。

【図12】本発明の第1の実施形態における第9の製造工程を表す断面図である。

【図13】本発明の第1の実施形態における第10の製造工程を表す断面図である。

【図14】従来の固体撮像素子の実装形態を示す断面図である。

【図15】固体撮像素子のCOG（チップ・オン・ガラス）の例を示す断面図である。

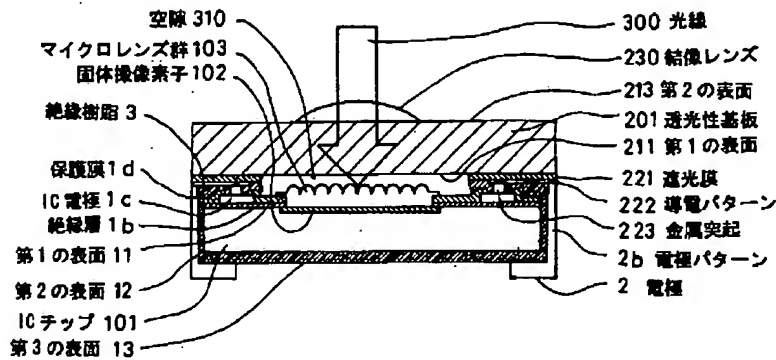
【図16】CSP（チップサイズパッケージ）の例を示す断面図である。

【符号の説明】

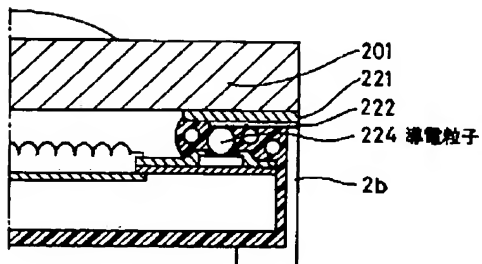
1 ウエハ  
101 ICチップ  
11 第1の表面（表面）  
12 第2の表面（端面）  
13 第3の表面（裏面）  
1c IC電極  
102 固体撮像素子

103 マイクロレンズ群  
201 透光性基板  
211 第1の表面  
213 第2の表面  
221 遮光層  
222 導電パターン  
223 金属突起  
224 導電粒子  
2 電極  
2b 電極パターン  
3 絶縁樹脂  
3a 透明樹脂  
300 光線  
301 紫外線

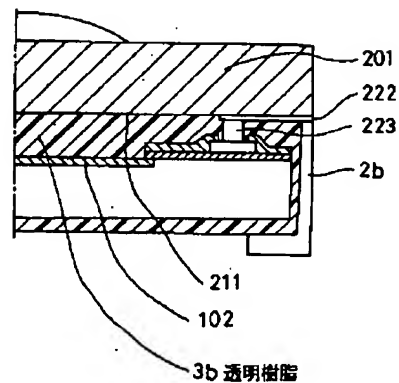
【図1】



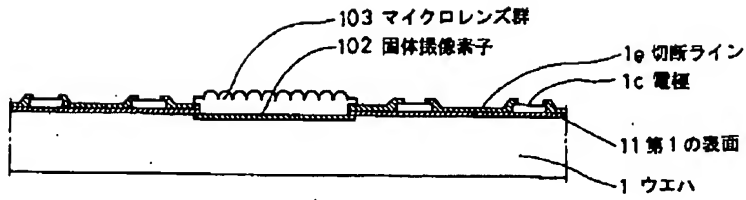
【図2】



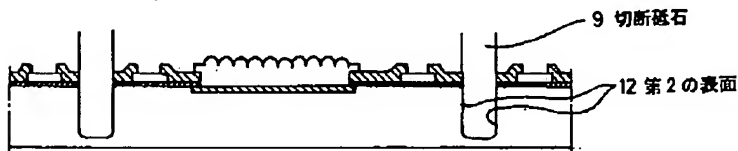
【図3】



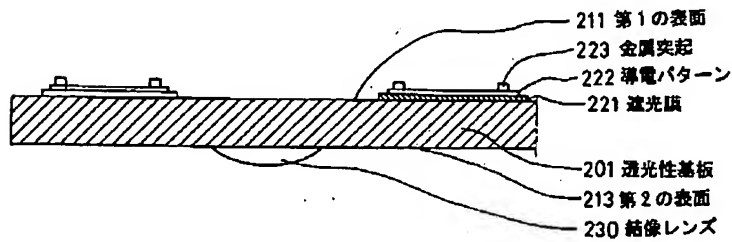
【図4】



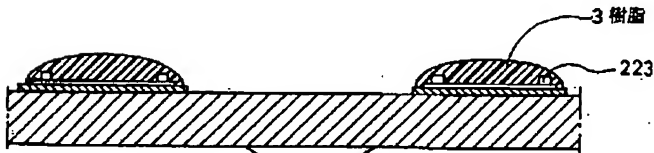
【図5】



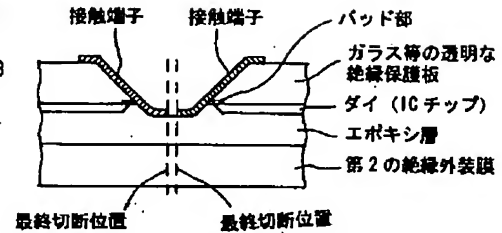
【図6】



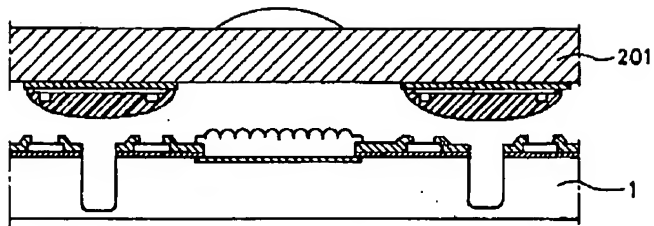
【図7】



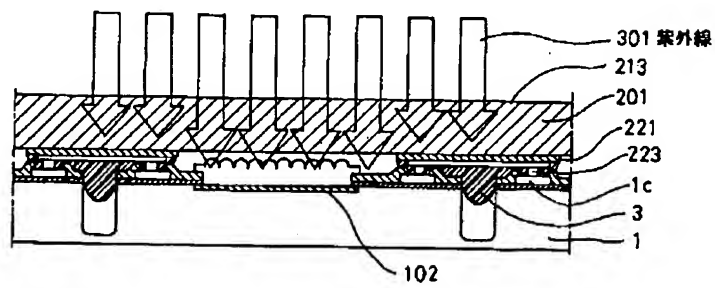
【図16】



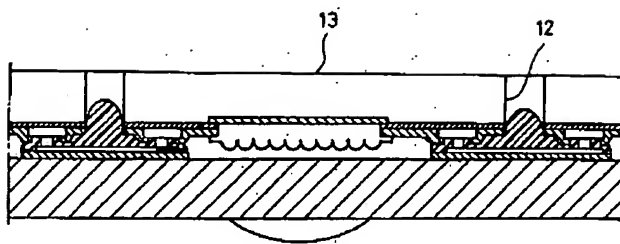
【図8】



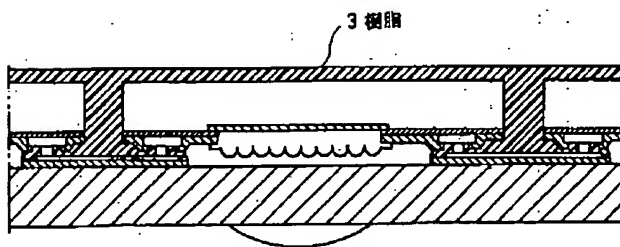
【図9】



【図10】

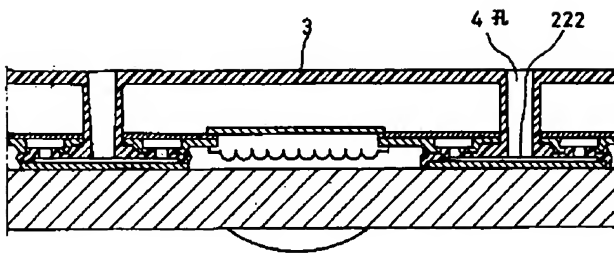


【図11】

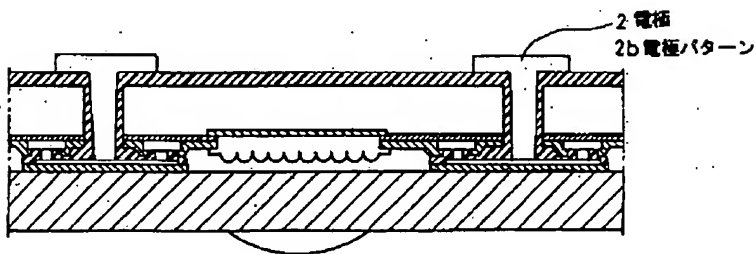




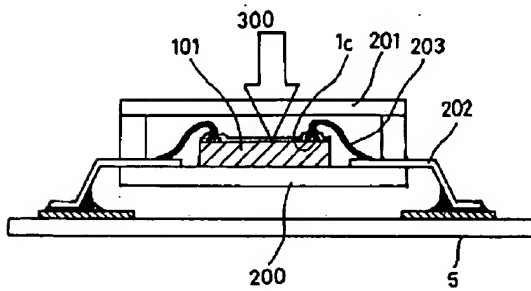
【図12】



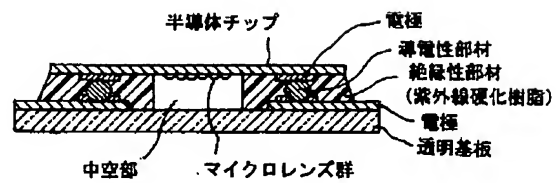
【図13】



【図14】



【図15】



## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the chip-size package used in micro mounting of the integrated circuit which mainly contains solid state image sensors, such as a semiconductor integrated circuit, especially CCD, CMOS, a photo detector, and other optoelectric transducers, and its manufacture approach.

[0002]

[Description of the Prior Art] In order to carry a semiconductor integrated circuit (henceforth IC) in a device conventionally, as shown in drawing 14, in order to make easy to solder a chip with the wiring substrate 5 of a device, many following mounting approaches have been used. That is, after cutting the silicon wafer which completed the semi-conductor production process (dicing) and considering as a wafer (IC chip: 101), it contains in the cases 200, such as a ceramic and plastics, the terminal 202 for soldering (lead) and electrode 1c of IC chip are connected with the metal thin line 203 (wire bonding), and the lid 201 of a hermetic seal is pasted up to a case 200 after that.

[0003] Usually, many also mount ICs, such as a solid state image sensor and a photo detector, by the above-mentioned approach, and clear glass etc. is used for the quality of the material of a lid 201 here so that it may arrive at the photo detector field on a chip of the beam of light 300 from the outside.

[0004]

[Problem(s) to be Solved by the Invention] In recent years, by progress of the design and manufacturing technology of IC, altitude integration and low-power-izing of a circuit are attained, and the cellular phone of highly efficient information machines and equipment is being attained [ more compactly and ]. Naturally, by the above conventional mounting approaches, ratios which cases other than IC chip, a lid, and a lead occupy, such as volume and mounting cost, become large relatively, and it has been a technical problem to compress these to a limit.

[0005] In order to solve this technical problem, various micro mounting methods are proposed. For example, there is a COG (chip-on glass) method which is stated to JP, 11-121653, A. Here, as shown in drawing 15, an electrode pattern is prepared in a translucency substrate, and the approach of closing an opening, after connecting IC electrode with this is described. Although such structure becomes a compact more compared with the conventional example, since it is necessary to prepare the electrode for external connection on a translucency substrate, it is not avoided that a flat-surface dimension becomes larger than a chip.

[0006] Next, if the example of the \*\*\*\*\* No. 51197 [ nine to ] official report (shell case: El tea dee) shown in drawing 16 is described, an insulating guard plate and the 2nd insulating sheathing film have pasted IC chip (die) here, and the contact terminal of a metal membrane linked to the electrode (pad section) of a chip is extended on the front face from the end face of an insulating guard plate.

[0007] In addition, although not illustrated by this official report, it is also possible to pull out a contact terminal to a 2nd insulating sheathing film side, and if it does in this way, micro mounting of a solid state image sensor and the so-called chip-size package (CSP) will become possible.

[0008] However, in the above-mentioned example, since it pastes up with an epoxy resin, IC chip containing a solid state image sensor and a transparent insulating guard plate cannot be applied, when the micro-lens group for condensing is formed on the solid state image sensor. That is, it is because an epoxy resin is filled up with the irregularity of a micro-lens group and reduces the lens effectiveness.

[0009] This invention was made based on the above-mentioned situation, and aims at realizing the chip-size package with which a flat-surface dimension becomes almost the same as that of a chip also with the solid state image sensor which has a micro-lens group.

[0010]

[Means for Solving the Problem] In order to attain this purpose, in the chip-size package of this invention IC chip which has two or more electrodes electrically connected via a solid state image sensor and this component, direct, or other circuits on the 1st front face, It consists of members, such as glass, Xtal, lithium niobate, and synthetic resin, and/or a translucency substrate constituted by those combination. The electrode of said IC chip It is characterized by making it the configuration which reaches the electrode pattern on the 2nd front face (end face) of a chip thru/or the 3rd front face (rear face) via the electric conduction pattern prepared in the 1st front face of said translucency substrate.

[0011] Here, an opening is secured between a solid state image sensor (micro-lens group) and a translucency substrate at the same time it prepares an electric conduction pattern in the location which faces IC electrode of a translucency substrate front face, and its rear, and it places a conductive projection thru/or a particle between an electrode and an electric conduction pattern and it connects both electrically.

[0012] In this case, as a gestalt of operation of this invention, it is the periphery of an opening, the end face of a chip, and closing the rear face of a chip by the resin of insulation and non-moisture permeability still more desirably, and a translucency substrate and a chip are unified firmly and a solid state image sensor and a micro-lens group are protected from moisture, corrosive gas, etc. in air. Moreover, it is preparing a chip end face and the electrode pattern connected to the electric conduction pattern of a translucency substrate still more desirably at the closure resin on the rear face of a chip, and it is good to constitute a chip-size package (CSP).

[0013] In addition, a translucency substrate cannot only remain in protection of a solid state image sensor etc., but can constitute a very small and highly efficient optical element module from giving an image formation lens function, an optical low pass filter function, and various kinds of other optical functions.

[0014] Although it is also possible to assemble after cutting IC chip from a wafer (dicing), the above-mentioned structures are the above IC chip and assembling the whole non-cut wafer more preferably partly, and improvement in the productivity of a chip-size package of them is attained.

[0015]

[Embodiment of the Invention] (Gestalt of the 1st operation) Drawing 1 explains the 1st operation gestalt of this invention concretely. In addition, drawing 1 is a sectional view. Here, a sign 101 is IC chip and ICs, such as a solid state image sensor 102, insulator layer 1b, 1d of protective coats, and electrode 1c, are formed in the 1st front-face 11 side.

[0016] Moreover, the micro-lens group 103 is formed in the front face of a solid state image sensor 102 in order to raise condensing effectiveness. On the other hand, the protection-from-light layer 221 and the electric conduction pattern 222 are formed in the 1st front face 211 of the translucency substrate 201, and the image formation lens 230 is formed in the 2nd front face 213.

[0017] An antireflection film may be prepared in the front face of these translucency substrate or an image formation lens if needed. An opening 310 is formed between the 1st front face 211 of a translucency substrate, and the micro-lens group 103 at the same time the metal projection 223 is formed between the electric conduction pattern 222 and electrode 1c and it connects both electrically.

[0018] When the thickness of an opening 310 becomes settled mostly with the dimension of the metal projection 223 and a stud bump and a plating bump are used, generally it is about dozens of micrometers. By a diagram, although the metal projection 223 was formed in the translucency substrate side, contrary to this, you may prepare on IC electrode 1c.

[0019] A sign 3 is resin of insulation and non-moisture permeability, it fills up with it so that the perimeter of an opening 310 may be enclosed, and it protects ICs, such as a solid state image sensor 102, from moisture, a corrosive ambient atmosphere, etc. in air. In addition, if inert gas, such as nitrogen, is enclosed with the opening 310, IC can be protected more effectively.

[0020] Resin 3 did not cover a solid state image sensor 102 top, but has covered the second front face (end face) 12 and the third front face (rear face) 13 without the break from the 1st front face 11 of IC chip. Along this resin front face, electrode pattern 2b linked to said electric conduction pattern 222 has arrived at even the rear face from the end face of IC chip, and enables connection with this chip-size package and circuit board (not shown).

[0021] In addition, the means used widely can apply soldering, insertion to a socket, adhesion by anisotropy electric conduction adhesives, etc. to connection with the circuit board.

[0022] (Gestalt of the 2nd operation) The 2nd operation gestalt of this invention is shown in drawing 2. In addition, the electric conduction particle 224 is used for connection between the electric conduction pattern 222 and electrode 1c. Diameters, such as that to which this particle carried out metal plating of the particle front face of a metaled particle or resin, can use a dozens of micrometers to about hundreds of micrometers thing, and can set up the dimension of an opening 310 in the range larger than the 1st operation gestalt.

[0023] (Gestalt of the 3rd operation) The 3rd operation gestalt of this invention is shown in drawing 3. In addition, application of this invention is possible for a solid state image sensor with an unnecessary micro-lens group, for example, the line sensor of an one-dimensional array.

[0024] In that case, it can be filled up with transparence resin 3a between the translucency substrate 201 and a solid state image sensor 102, and dependability and a mechanical strength can be improved more by losing an opening. In addition, as for transparence resin 3a, it is desirable to have the property of heat concomitant use ultraviolet curing. Moreover, as long as the translucency substrates 201 are the insulating quality of the materials, such as glass, the electric conduction pattern 222 may be directly formed in the 1st front face 211.

[0025] The production process of the chip-size package in the 1st operation gestalt is shown in drawing 4 - drawing 13. Here, along with cutting Rhine 1e, grooving processing is first performed using cutting off wheel 9 etc. from the 1st front face 11 of the wafer 1 which finished formation of a solid state image sensor, an electrode, a micro-lens group, etc.

[0026] It is formed in a wafer of this slot, the 2nd front face 12, i.e., chip end face. About 200 micrometers is appropriate to the width of face of a slot from 100 micrometers in general (see drawing 4 and drawing 5).

[0027] Apart from this, the insulating and opaque light-shielding film 221 is formed in the 1st front face 211 of the translucency substrates 201, such as glass, by resin printing etc. This light-shielding film is prepared in the location which faces cutting Rhine 1e of a wafer 1, and does not cover a solid state image sensor 102. On a light-shielding film 221, the metal projection 223 is further formed for the electric conduction pattern 222 on it. [0028] Here, projection 223 is formed according to processes currently performed widely, such as stud bump bonding and electrolytic plating, and the arrangement corresponds strictly with electrode 1c of IC chip. In addition, optoelectronic devices, such as the image pick-up lens 230, can also be formed in the front face 213 of the translucency substrate 201 (see drawing 6).

[0029] The resin 3 of insulation and non-moisture permeation is carried out with \*\* so that the electric conduction pattern 222 and the metal projection 223 may be covered and a light-shielding film 221 may not be overflowed. The heat concomitant use ultraviolet curing adhesives hardened with an electromagnetic wave and heat, such as ultraviolet rays, fit this (see drawing 7).

[0030] After positioning a wafer 1 and the translucency substrate 201 so that electrode 1c and the metal projection 223 may pile each other up, it is stuck by pressure. At this time, by being stuck by pressure, irradiating ultraviolet rays 301 etc. from the 213 side of a translucency substrate, resin 3 is immediately hardened in the part which disturbed, and does not cover a solid state image sensor 102 from a light-shielding film 221. Since non-hardened surplus resin is extruded by the slot, it does not bar contact of

electrode 1c and the metal projection 223 (see drawing 8 and drawing 9 ). If heat hardening is carried out after UV irradiation, the translucency substrate 201 and a wafer 1 will be pasted up firmly, and an opening 310 will be formed between micro lenses 103.

[0031] Means, such as grinding and etching, remove the 3rd front face 13 of a wafer 1, i.e., a rear face, and the 2nd front face 12 (slot) is exposed (see drawing 10 ).

[0032] It is made to apply and harden so that the 3rd front face 13 and 2nd front face 12 from which the resin 3 used at said process ( drawing 7 ) and the same resin newly failed to be deleted may be worn without a break (see drawing 11 ).

[0033] A hole 4 is opened in resin 3 and the electric conduction pattern 222 is exposed at the pars basilaris ossis occipitalis. Hundreds of micrometers of about 100 micrometers and the depth are [ the bore of a hole 4 ] desirable. Laser perforation is advantageous to such \*\*\*\* processing (see drawing 12 ).

[0034] The metaled electrode 2 is formed with means, such as electroless deposition, so that the electric conduction pattern 222 exposed to the pars basilaris ossis occipitalis of a hole 4 to the resin 3 which is wearing the rear face 13 of a wafer may reach (see drawing 13 ).

[0035] The center line top to which an electrode 2 is finally connected is cut by cutting off wheel (not shown) of width of face smaller than the diameter of a hole 4. Now, CSP (chip-size package) of drawing 1 is completed.

[0036]

[Effect of the Invention] As stated above, CSP (chip-size package) of this invention is the solid state image sensor which has a micro-lens group, can realize wafer level CSP and can attain micro and low-cost-izing of a device also in a solid state image sensor.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the sectional view showing the 1st operation gestalt of this invention.

**[Drawing 2]** It is the sectional view showing the 2nd operation gestalt of this invention.

**[Drawing 3]** It is the sectional view showing the 3rd operation gestalt of this invention.

**[Drawing 4]** It is a sectional view showing the 1st production process in the 1st operation gestalt of this invention.

**[Drawing 5]** It is a sectional view showing the 2nd production process in the 1st operation gestalt of this invention.

**[Drawing 6]** It is a sectional view showing the 3rd production process in the 1st operation gestalt of this invention.

**[Drawing 7]** It is a sectional view showing the 4th production process in the 1st operation gestalt of this invention.

**[Drawing 8]** It is a sectional view showing the 5th production process in the 1st operation gestalt of this invention.

**[Drawing 9]** It is a sectional view showing the 6th production process in the 1st operation gestalt of this invention.

**[Drawing 10]** It is a sectional view showing the 7th production process in the 1st operation gestalt of this invention.

**[Drawing 11]** It is a sectional view showing the 8th production process in the 1st operation gestalt of this invention.

**[Drawing 12]** It is a sectional view showing the 9th production process in the 1st operation gestalt of this invention.

**[Drawing 13]** It is a sectional view showing the 10th production process in the 1st operation gestalt of this invention.

**[Drawing 14]** It is the sectional view showing the mounting gestalt of the conventional solid state image sensor.

**[Drawing 15]** It is the sectional view showing the example of COG (chip-on glass) of a solid state image sensor.

**[Drawing 16]** It is the sectional view showing the example of CSP (chip-size package).

**[Description of Notations]**

1 Wafer

101 IC Chip

11 1st Front Face (Front Face)

12 2nd Front Face (End Face)

13 3rd Front Face (Rear Face)

1c IC electrode

102 Solid State Image Sensor

103 Micro-Lens Group

201 Translucency Substrate  
211 1st Front Face  
213 2nd Front Face  
221 Protection-from-Light Layer  
222 Electric Conduction Pattern  
223 Metal Projection  
224 Electric Conduction Particle  
2 Electrode  
2b Electrode pattern  
3 Insulating Resin  
3a Transparence resin  
300 Beam of Light  
301 Ultraviolet Rays

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] IC chip which has two or more electrodes electrically connected via a solid state image sensor and this component, direct, or other circuits on the 1st front face, It consists of members, such as glass, Xtal, lithium niobate, and synthetic resin, and/or a translucency substrate constituted by those combination. The electrode of said IC chip The chip-size package characterized by making it the configuration which reaches the electrode pattern on the 2nd front face (end face) of a chip thru/or the 3rd front face (rear face) via the electric conduction pattern prepared in the 1st front face of said translucency substrate.

[Claim 2] Said IC electrode and electric conduction pattern of said translucency substrate are a chip-size package according to claim 1 characterized by connecting with a metal projection, an electric conduction particle, anisotropy electric conduction adhesives, etc.

[Claim 3] The 2nd front face (end face) thru/or 3rd front face (rear face) of said chip is a chip-size package according to claim 2 characterized by being covered by insulating resin.

[Claim 4] A chip-size package given in any 1 term of claims 1-3 characterized by forming the micro-lens group on said solid state image sensor.

[Claim 5] The chip-size package according to claim 4 characterized by preparing the opening between said micro-lens groups and said translucency substrates.

[Claim 6] The chip-size package according to claim 5 characterized by filling up with insulating adhesives the periphery which does not cover the solid state image sensor of said opening.

[Claim 7] The electrode pattern on the 2nd front face (end face) of said chip thru/or the 3rd front face (rear face) is a chip-size package according to claim 3 characterized by being prepared near [ said / insulating ] the resin front face.

[Claim 8] A chip-size package given in any 1 term of claims 1-3 characterized by filling up with insulating transparence resin between said translucency substrates and solid state image sensors, and claim 7.

[Claim 9] A chip-size package given in any 1 term of claims 1-8 characterized by forming optoelectronic devices, such as an image formation lens, an optical low pass filter, and an infrared cut filter, in said translucency substrate.

[Claim 10] A chip-size package given in any 1 term of claims 1-9 characterized by forming the antireflection film in surface some or surface all through which said translucency substrate and the beam of light of an optoelectronic device pass.

[Claim 11] Said translucency substrate is the manufacture approach of a chip-size package given in any 1 term of claims 1-9 which connection immobilization is carried out with the wafer in which two or more IC chips were formed, and is characterized by being cut by each IC chip size after that.

---

[Translation done.]